

[発明の名称]

半導体装置及びその製造方法

本出願は、2004年3月12日出願、出願番号PCT/JP2004/003450の出願の継続出願であり、親出願を放棄する。

[発明の背景]

本発明は、容量素子を構成する強誘電体膜又は高誘電率膜よりなる容量絶縁膜への水素の拡散を防止する半導体装置及びその製造方法に関する。

強誘電体メモリとしては、プレーナ型構造を使用する1～64kbitの小容量のものが量産され始め、最近ではスタック型構造を使用する256kbit～4Mbitの大容量のものが開発の中心となってきた。スタック型の強誘電体メモリを実現するためには、集積度の大幅な向上、ひいては強誘電体メモリの微細化が不可欠である。これを実現するためには、強誘電体キャパシタを形成する工程、トランジスタを形成する工程及び配線を形成する工程の各工程間における整合を図ることが重要となる。

このため、例えば、W-CVDを使用するコンタクトの埋め込み技術又はトランジスタの特性を回復するために行なわれる水素雰囲気下での熱処理等に代表されるように、水素雰囲気中で処理が行なわれることが多い半導体プロセスにおいて、強誘電体キャパシタが還元されることなく、強誘電体膜の分極特性を維持することが課題となる。

従来、強誘電体キャパシタを水素バリア膜により被覆する技術が一般的である。これは、酸化アルミニウム膜、シリコン窒化膜に代表される水素バリア膜により、強誘電体キャパシタの形成以降において半導体プロセスで発生する水素の拡散を遮蔽して、強誘電体膜の分極量の減少を防止するものである。水素バリア膜による強誘電体キャパシタの被覆構造として強誘電体キャパシタの周囲を完全に被覆する構造を採用することにより、強誘電体膜の分極特性の劣化を最も効果的に防止している（例えば、特許第3098474号参照）。このようにして、強誘電体キャパシタの水素による分極特性の劣化を防止して、高集積された強誘電体メモリ又は高誘電体メモリを実現している。

以下、周囲が完全に被覆された構造を有する強誘電体キャパシタを有する従来の半導体装置について図11を参照しながら説明する。図11は従来の半導体装置の断面図である。

図１１に示すように、半導体基板１０の表層部には不純物拡散層１１が離間して形成されている。半導体基板１０上には、ゲート酸化膜１２及びゲート電極１３が形成されており、ゲート酸化膜１２及びゲート電極１３の両側面にはサイドウォール１４が形成されている。また、半導体基板１０の上には素子分離酸化膜１５が形成されている。半導体基板１０の上には、ゲート酸化膜１２、ゲート電極１３、サイドウォール１４及び素子分離膜１５を覆うように第１の層間絶縁膜１６が形成されており、該第１の層間絶縁膜１６の上には第１の水素バリア膜１７が形成されている。

第１の水素バリア膜１７の上には、下部電極１８、強誘電体膜よりなる容量絶縁膜１９及び上部電極２０から構成される強誘電体キャパシタが形成されており、上部電極２０の上には第２の水素バリア膜２１が形成されている。第１の水素バリア膜１７の上には、強誘電体キャパシタの側面及び第２の水素バリア膜２１を覆うように第３の水素バリア膜２２が形成されている。第１の層間絶縁膜１６の上には、第１の水素バリア膜１７及び第３の水素バリア膜２２を覆うように第２の層間絶縁膜２３が形成されている。第２の層間絶縁膜２３の上には、配線２４ａ及び２４ｂが形成されている。配線２４ａは第２の層間絶縁膜２３及び第３の水素バリア膜２２を貫通して延びるように第２の水素バリア膜２２の上面に接続されている。また、配線２４ａ及び２４ｂは第１の層間絶縁膜１６及び第２の層間絶縁膜２３を貫通して延びるように不純物拡散層１１の上面に接続されている。

このように、図１１に示した強誘電体キャパシタの周囲は、第１の水素バリア膜１７、第２の水素バリア膜２１及び第３の水素バリア膜２２により完全に覆われているため、強誘電体キャパシタの形成以降において、強誘電体キャパシタに対して還元性雰囲気中における熱処理を施しても、水素が容量絶縁膜１９に拡散することを抑制できるので、容量絶縁膜１９を構成する強誘電体膜の分極特性の劣化を低減することができる。

しかしながら、本件発明者らが、前述のように周囲が水素バリア膜で覆われた強誘電体キャパシタに対して還元性雰囲気中における熱処理を施したところ、容量絶縁膜を構成する強誘電体膜の分極特性の劣化を完全に防止することができないということが判明した。特に、水素アニールを高濃度で施した場合には、強誘電体膜の分極特性の劣化を完全に防止できないことが顕著に現れた。

以下に、図１２、図１３、図１４、及び図１５（ａ）及び（ｂ）を参照しながら具体的に説明する。

本件発明者らは、図１２に示すような、周囲が水素バリア膜で覆われた強誘電体キャパ

シタに対して還元性雰囲気中において熱処理を施した。

図12に示すように、メモリセルトランジスタ（図示は省略している）が形成されている半導体基板30の上には第1の層間絶縁膜31が形成されており、該第1の層間絶縁膜31の上にはシリコン窒化膜よりなる第1の水素バリア膜32が形成されている。該第1の水素バリア膜32の上には導電性の第2の水素バリア膜33が形成されている。第2の水素バリア膜33の上には、表層が白金膜よりなる下部電極34、強誘電体膜として例えばSBT（SrTaBiO）膜よりなる容量絶縁膜35及び白金膜よりなる上部電極36から構成される強誘電体キャパシタが形成されている。

第1の水素バリア膜32の上には、第2の水素バリア膜33の側面及び強誘電体キャパシタを覆うように、該強誘電体キャパシタの段差を緩和するための第2の層間絶縁膜37が形成されている。第1の層間絶縁膜31の上には、第1の水素バリア膜32の側面及び第2の層間絶縁膜37を覆うように酸化チタンアルミニウム膜よりなる第3の水素バリア膜38が形成されている。第1の水素バリア膜32及び第1の層間絶縁膜31を貫通して延びるようにコンタクトプラグ39が形成されており、該コンタクトプラグ39は半導体基板30と強誘電体キャパシタの下部電極34とを第2の水素バリア膜33を介して接続している。

このように、図12に示した強誘電体キャパシタは第1の水素バリア膜32、第2の水素バリア膜33及び第3の水素バリア膜38により周囲が完全に被覆された構造を有しているため、強誘電体キャパシタの形成以降において還元性雰囲気中における熱処理を施しても、容量絶縁膜35への水素の拡散が抑制されるので、容量絶縁膜35を構成する強誘電体膜の分極特性の劣化を防止することができる。

図13は、図12に示した強誘電体キャパシタに対して、水素濃度4%及び100%の各雰囲気中において、400℃で10分間の熱処理を行なった場合の強誘電体膜よりなる容量絶縁膜35の分極特性を示している。図13から明らかなように、水素濃度4%及び100%の各雰囲気中における熱処理を施した場合において、強誘電体膜よりなる容量絶縁膜35の分極量が減少しており、水素濃度が100%の雰囲気中における熱処理の場合に示されたように、特に強い還元性の雰囲気中において熱処理を施すと、強誘電体膜の分極特性が劣化する度合いが大きいことが判明した。

図14は、図13に示した水素濃度100%の雰囲気中において、400℃で10分間の熱処理を行なった場合について、第1の水素バリア膜32と第2の水素バリア膜38と

の接続部分のTEM断面図を示しているが、図14から明らかなように、シリコン窒化膜よりなる第1の水素バリア膜32と酸化チタンアルミニウム膜よりなる第3の水素バリア膜38との接続部分12Aに隙間が生じていることが観察された。

このようにして、本件発明者らは、強誘電体膜の分極特性が劣化する原因は、水素バリア膜同士が接続している界面を通じて水素が拡散することにあるということを見出した。すなわち、本件発明者らは、強誘電体膜の分極特性が劣化する度合いが水素バリア膜同士の密着性に大きく起因するために、水素バリア膜に用いる材料の選択又は水素バリア膜同士が接続しているときの接続表面の状態が極めて重要になるということを見出したのである。

そこで、本件発明者らは、上述の第1の水素バリア膜32と第3の水素バリア膜38との接続部分12Aにおける接続状態を詳細に分析するために、一例として、図15(a)に示すように、水素バリア膜同士が模擬的に接続された構造を用いて実験を行なった。

図15(a)に示す構造は、シリコン基板(図示せず)上に、シリコン窒化膜(第1の水素バリア膜)、及び酸化チタンアルミニウム膜(第2の水素バリア膜)を順に成膜することによって形成したものであり、本件発明者らは、この構造をTEMにて断面を観察した。

その結果、図15(a)から明らかなように、シリコン窒化(SiN)膜と酸化チタンアルミニウム(TiAlO)膜との接続部分(界面部分)には、約3.0nmの膜厚を有する変質層が確認された。

さらに、本件発明者らは、図15(a)に示したシリコン窒化膜と酸化チタンアルミニウム膜との界面に形成された変質層とシリコン窒化膜とをEELS(Electron Energy Loss Spectroscopy)を用いて分析したところ、図15(b)から明らかなように、変質層に対する分析結果には、Si-Oのピークが検出された。尚、図15(b)は、第1及び第2の水素バリア膜同士の接続部分の実験サンプルに対するEELS分析結果を説明するためのTEM断面図、及び損失エネルギー(Loss Energy(eV))と密度(Intensity)との関係図を示している。

このような実験結果にもとづいて、本件発明者らは、シリコン窒化膜と酸化チタンアルミニウム膜との界面に形成された変質層がシリコン酸化膜であることを突き止めた。これは、シリコン窒化膜中のシリコン(Si)と酸化チタンアルミニウム中の酸素(O)とが接触し、後工程で行なう熱処理(例えば、容量絶縁膜を結晶化するための熱処理)を経る

ことにより、安定的な Si-O 結合が形成されたものと推測できるからである。

以上の実験結果に従えば、シリコン窒化膜と酸化チタンアルミニウム膜とで構成される実際の水素バリア膜同士の接続部であっても、同様に、Si-O 結合が形成され、シリコン酸化膜が形成されていると考えることができる。

シリコン酸化膜は、外部からの水素の浸入を防ぐというバリア性を有していない。このため、シリコン酸化膜が形成されたシリコン窒化膜と酸化チタンアルミニウム膜との接続部分は、水素に対して弱いので、外部からの水素を透過させる役割を担ってしまう。

実際には、図 1 4 に示す接続部 1 2 A は、図 1 5 (a) に示す構造と異なって、接続部 1 2 A は縦方向に延びているので、模擬的に行なった実験のサンプルと比較して、水素バリア膜同士の接触状態が悪い上に、接続部 1 2 A には膜ストレスが集中しやすいことを考慮すると、接続部 1 2 A には Si-O 結合が部分的に形成されているものと予想される。すなわち、接続部 1 2 A には、Si-O 結合よりなるシリコン酸化膜と隙間とが混在している状態になっていると予想される。

したがって、接続部 1 2 A は、Si-O 結合が形成されている領域であっても、隙間が形成されている領域であっても、水素バリア性が全くないことになる。すなわち、図 1 4 に示すように、接続部 1 2 A は水素の拡散パスの役割を果たしていることを意味する。また、裏返して考えると、水素バリア膜同士の接続部分において、Si-O 結合が検出される場合には、互いに接続される一の水素バリア膜と他の水素バリア膜との組み合わせでは、水素の拡散パスが形成される可能性が高いことを示唆している。

ところで、前述の図 1 1 に示した従来の半導体装置の場合、第 1 の水素バリア膜 1 7 は、減圧 CVD 法又はスパッタリング法により形成された 10～200 nm の膜厚を有するシリコン窒化膜よりなり、第 2 の水素バリア膜 2 1 は、スパッタリング法により形成された 50 nm の膜厚を有する窒化チタン膜よりなり、さらに、第 3 の水素バリア膜 2 2 は、下から順にシリコン酸化膜及びシリコン窒化膜が積層された積層膜又は例えばシリコン酸窒化膜のように酸素及び窒素を含む膜よりなっている。

しかしながら、第 3 の水素バリア膜 2 2 としてシリコン酸化膜及びシリコン窒化膜の積層膜を用いた場合には、そもそも水素バリア性が弱いので、図 1 1 に示した従来の半導体装置における強誘電体膜の分極特性が劣化する程度が高いと考えられる。また、図 1 1 に示した従来の半導体装置の場合、強誘電体膜の分極特性の劣化を低減する目的で、第 1、第 2、及び第 3 の水素バリア膜 1 7、2 1、及び 2 2 によって強誘電体キャパシタを完全

に覆う構造を採用しているものの、水素バリア膜同士が接続される部分の密着性を向上させる観点に着目して、水素バリア膜に用いる材料の選択又は水素バリア膜の表面処理をいかに行なうかについては全く開示されていない。さらに、このような視点に立った議論は未だになされていない。

〔発明の概要〕

前記に鑑み、本発明は、互いに接続される部分における水素バリア膜同士の密着性を向上させることにより、強誘電体キャパシタに対して還元性雰囲気中において熱処理を施した場合に、容量絶縁膜の分極特性が劣化することを低減することを目的とする。

前記の課題を解決するために、本発明に係る第1の半導体装置は、第1の水素バリア膜と、第1の水素バリア膜の上に形成された容量素子と、容量素子を覆うように形成された第2の水素バリア膜とを備え、第1の水素バリア膜及び第2の水素バリア膜は、第1の水素バリア膜と第2の水素バリア膜とを密着させる同一種の原子を少なくとも1つ含んでいることを特徴とする。

第1の半導体装置によると、第1の水素バリア膜及び第2の水素バリア膜中に密着を促進させる同一種の原子が含まれていることにより、第1の水素バリア膜と第2の水素バリア膜との密着性を向上させることができる。このため、第1の水素バリア膜と第2の水素バリア膜とが接続されている界面を通じて、容量絶縁膜に水素が拡散することを抑制できるので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化を低減させることができる。

第1の半導体装置において、第1の水素バリア膜と第2の水素バリア膜とは、同一種の原子が化学的に結合することによって、容量素子の周縁部において、密着していることが好ましい。

このようにすると、第1の水素バリア膜と第2の水素バリア膜とは、互いに単に物理的に接続しているのではなく、同一種の原子の化学結合によって接続されるので、第1の水素バリア膜と第2の水素バリア膜との密着性が向上する。

第1の半導体装置において、原子は、窒素原子又は酸素原子であることが好ましい。

このようにすると、第1の水素バリア膜及び第2の水素バリア膜を比較的容易なプロセスで形成することができると共に、第1の水素バリア膜と第2の水素バリア膜との密着性を向上させることができる。

また、前記の課題を解決するために、本発明に係る第2の半導体装置は、第1の水素バ

リア膜と、第1の水素バリア膜の上に形成された容量素子と、容量素子を覆うように形成された第2の水素バリア膜とを備え、第1の水素バリア膜及び第2の水素バリア膜は、第1の水素バリア膜と第2の水素バリア膜とを相互拡散によって密着させる金属原子を含み、第1の水素バリア膜と第2の水素バリア膜とは、金属原子が相互拡散することによって、容量素子の周縁部において密着していることを特徴とする。

第2の半導体装置によると、第1の水素バリア膜及び第2の水素バリア膜中に密着を促進させる金属原子が含まれており、金属原子は拡散係数が大きいので、第1の水素バリア膜と第2の水素バリア膜との密着性を向上させることができる。すなわち、第1の水素バリア膜と第2の水素バリア膜とは、金属原子の相互拡散によって密着している。このため、第1の水素バリア膜と第2の水素バリア膜とが接続されている界面を通じて容量絶縁膜に水素が拡散することを抑制できるので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化をさらに低減させることができる。

第2の半導体装置において、金属原子は、Ti又はTaであることが好ましい。

このようにすると、Ti又はTaは拡散係数がとても大きく、第1の水素バリア膜と第2の水素バリア膜との密着性を向上させる働きが高いため、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化を大幅に低減させることができる。

また、前記の課題を解決するために、本発明に係る第3の半導体装置は、第1の水素バリア膜と、第1の水素バリア膜の上に形成された容量素子と、容量素子を覆うように形成された第2の水素バリア膜とを備え、第1の水素バリア膜と第2の水素バリア膜とは、密着層を介して、容量素子の周縁部において互いに接続されていることを特徴とする。

第3の半導体装置によると、第1の水素バリア膜と第2の水素バリア膜との間に密着層を介在させることにより、第1の水素バリア膜と第2の水素バリア膜との密着性を向上させることができるので、第1の水素バリア膜及び第2の水素バリア膜に用いる材料の選択の幅が制限されることなく、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化を低減させることができる。

第3の半導体装置において、密着層は、水素を吸蔵することが好ましい。

このようにすると、密着層中に拡散される微量の水素を捕獲することができるので、容量絶縁膜に拡散する水素を効果的に抑制できるので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化をさらに低減させることができる。

第3の半導体装置において、密着層は、遷移金属を含むことが好ましい。

このようにすると、水素を吸蔵する金属を利用し、水素の拡散を防止することができ、さらに、第1の水素バリア膜と第2の水素バリア膜とを相互に密着させる効果をさらに高めることができる。

第3の半導体装置において、密着層は、Ti又はTaを含むことが好ましい。

このようにすると、Ti又はTaは拡散係数が大きいため、第1の水素バリア膜と第2の水素バリア膜とを相互に密着させる効果をさらに高めることができる。

また、前記の課題を解決するために、本発明に係る第4の半導体装置は、上面に酸化された領域を有する第1の水素バリア膜と、第1の水素バリア膜の上に形成された容量素子と、容量素子を覆うように形成された、酸素を含む第2の水素バリア膜とを備え、第1の水素バリア膜と第2の水素バリア膜とは、容量素子の周縁部における前記酸化された領域を介して、酸素結合によって密着していることを特徴とする。

第4の半導体装置によると、第1の水素バリア膜における酸化された領域に含まれる酸素と第2の水素バリア膜に含まれる酸素が、酸素結合することにより、第1の水素バリア膜と第2の水素バリア膜とは、互いに単に物理的に接続しているのではなく、化学結合により密着している。言い換えれば、第1の水素バリア膜と第2の水素バリア膜とは酸素原子を架橋として密着している。このため、第1の水素バリア膜と第2の水素バリア膜とが接続されている界面を通じて容量絶縁膜に水素が拡散することを抑制できるので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化をさらに低減させることができる。

また、前記の課題を解決するために、本発明に係る第5の半導体装置は、上面に窒化された領域を有する第1の水素バリア膜と、第1の水素バリア膜の上に形成された容量素子と、容量素子を覆うように形成された、窒素を含む第2の水素バリア膜とを備え、第1の水素バリア膜と第2の水素バリア膜とは、容量素子の周縁部における窒化された領域を介して、窒素結合によって密着していることを特徴とする。

第5の半導体装置によると、第1の水素バリア膜における窒化された領域に含まれる窒素と第2の水素バリア膜に含まれる窒素が、窒素結合することにより、第1の水素バリア膜と第2の水素バリア膜とは、互いに単に物理的に接続しているのではなく、化学結合により密着している。言い換えれば、第1の水素バリア膜と第2の水素バリア膜とは窒素原子を架橋として密着している。このため、第1の水素バリア膜と第2の水素バリア膜とが接続されている界面を通じて容量絶縁膜に水素が拡散することを抑制できるので、強誘電

体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化をさらに低減させることができる。

第1～第4の半導体装置において、第1の水素バリア膜と第2の水素バリア膜とは、第1の水素バリア膜と第2の水素バリア膜との間に酸化シリコン膜を介在させないように密着していることが好ましい。

このように、容量絶縁膜への水素の拡散パスとなる酸化シリコン膜を介在させないので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化をさらに低減させることができる。

第1～第4の半導体装置において、第1の水素バリア膜及び第2の水素バリア膜は、同じ材料よりなる膜であることが好ましい。

このようにすると、第1の水素バリア膜と第2の水素バリアとの密着性が向上すると共に、後工程における熱処理による熱膨張、熱収縮又はストレス変化の影響を受けることがなくなるため、第1の水素バリア膜と第2の水素バリア膜とが接続されている部分が熱的に安定するので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化をさらに低減させることができる。

第1～第4の半導体装置において、容量素子は、第1の水素バリア膜の上に形成された下部電極と、下部電極の上に形成された容量絶縁膜と、容量絶縁膜の上に形成された上部電極とを備え、容量絶縁膜は、強誘電体膜又は高誘電率膜よりなることが好ましい。

第1～第4の半導体装置において、容量絶縁膜は、 $\text{SrBi}_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_9$ 、 $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ 、 $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$ 、 $(\text{Bi}_x\text{La}_{1-x})_4\text{Ti}_3\text{O}_{12}$ （但し、以上において、 x は、 $0 \leq x \leq 1$ の関係を満たす）、又は Ta_2O_5 よりなることが好ましい。

また、前記の課題を解決するために、本発明に係る第1の半導体装置の製造方法は、第1の水素バリア膜を形成する工程と、第1の水素バリア膜の上に容量素子を形成する工程と、容量素子を覆うと共に容量素子の周縁部において第1の水素バリア膜と接するように第2の水素バリア膜を形成する工程とを備え、第1の水素バリア膜及び第2の水素バリア膜は、第1の水素バリア膜と第2の水素バリアとを密着させる同一種の原子を少なくとも1つ含み、第1の水素バリア膜と第2の水素バリア膜とは、同一種の原子が化学的に結合することによって密着していることを特徴とする。

第1の半導体装置の製造方法によると、第1の水素バリア膜及び第2の水素バリア膜中

に密着を促進させる同一種の原子が含まれていることにより、第1の水素バリア膜と第2の水素バリア膜との密着性を向上させることができる。すなわち、第1の水素バリア膜と第2の水素バリア膜とは、互いに単に物理的に接続しているのではなく、同一種の原子の化学結合によって接続されるので、第1の水素バリア膜と第2の水素バリア膜との密着性が向上する。このため、第1の水素バリア膜と第2の水素バリア膜とが接続されている界面を通じて容量絶縁膜に水素が拡散することを抑制できるので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化を低減させることができる。

第1の半導体装置の製造方法において、容量素子を形成する工程と第2の水素バリア膜を形成する工程との間に、第1の水素バリア膜における容量素子の周縁部において露出している表面をエッチングする工程を含み、エッチングは、第1の水素バリア膜と第2の水素バリア膜とに共通に含まれている原子の結合状態にある結合の手を解離して未結合の手を形成することが好ましい。

このようにすると、第1の水素バリア膜と第2の水素バリア膜とに共通に含まれる原子は、第1の水素バリア膜に含まれる他の原子との結合状態を解離して未結合手を形成し、第2の水素バリア膜に共通に含まれている原子と結合する。このため、第1の水素バリア膜と第2の水素バリア膜とは、互いに単に物理的に接続しているのではなく、共通に含まれる原子の化学結合によって接続されるので、第1の水素バリア膜と第2の水素バリア膜との密着性が向上する。したがって、第1の水素バリア膜と第2の水素バリア膜とが接続されている界面を通じて、容量絶縁膜に水素が拡散することを抑制できるので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化を低減させることができる。

この場合に、エッチングは、不活性ガスを用いたドライエッチングであることが好ましい。

このように、不活性ガスを用いることにより、所望していない化学反応を発生させることなく、第1の水素バリア膜と第2の水素バリア膜とに共通に含まれる原子同士の結合を切断できる。このため、第1の水素バリア膜の表面に未結合の手を多数生じさせることができる。

第1の半導体装置の製造方法において、第2の水素バリア膜は、第1の水素バリア膜と第2の水素バリア膜に共通に含まれている原子を含む雰囲気中において、反応性スパッタ法により形成されることが好ましい。

このようにすると、雰囲気中に存在する第1の水素バリア膜と第2の水素バリア膜とに

共通に含まれる原子が、第１の水素バリア膜と第２の水素バリア膜とが接続される部分に取り込まれながら、第２の水素バリア膜が堆積されるので、第１の水素バリア膜と第２の水素バリア膜との密着性を高めることができる。

第１の半導体装置の製造方法において、原子は、窒素原子又は酸素原子であることが好ましい。

このようにすると、第１の水素バリア膜及び第２の水素バリア膜を比較的に容易なプロセスで形成することができると共に、第１の水素バリア膜と第２の水素バリア膜との密着性を向上させることができる。

第１の半導体装置の製造方法において、容量素子を形成する工程と第２の水素バリア膜を形成する工程との間に、第１の水素バリア膜における容量素子の周縁部において露出している表面層を除去する工程を備えることが好ましい。

第１の半導体装置の製造方法において、容量素子を形成する工程と表面層を除去する工程との間に、第１の水素バリア膜における容量素子が形成されている領域の外側領域の少なくとも一部を露出させる工程をさらに備えていれば、第１の水素バリア膜と容量素子との間に他の層が介在している場合であっても、第１の水素バリア膜と第２の水素バリア膜とを確実に接続できるので、第１の水素バリア膜と第２の水素バリア膜との密着性を確実に向上させることができる。

第１の半導体装置の製造方法において、表面層を除去する工程は、フッ化水素酸により表面層を洗浄する工程を含むことが好ましい。

このようにすると、フッ化水素酸の濃度及び洗浄時間を制御することにより、表面層のみを容易に除去することができる。

第１の半導体装置の製造方法において、表面層を除去する工程は、不活性ガスを用いたドライエッチングにより表面層を除去する工程を含むことが好ましい。

このようにすると、表面層のみを容易に除去することができると共に、第１の水素バリア膜に与えるダメージを抑制することができる。

また、前記の課題を解決するために、本発明に係る第２の半導体装置の製造方法は、第１の水素バリア膜を形成する工程と、第１の水素バリア膜の上に容量素子を形成する工程と、容量素子を覆うと共に容量素子の周縁部において第１の水素バリア膜と接するように第２の水素バリア膜を形成する工程とを備え、第１の水素バリア膜及び第２の水素バリア膜は、第１の水素バリア膜と第２の水素バリア膜とを相互拡散によって密着させる金属原

子を含み、第1の水素バリア膜と第2の水素バリア膜とは、金属原子が相互拡散することによって、容量素子の周縁部において密着していることを特徴とする。

第2の半導体装置の製造方法によると、第1の水素バリア膜及び第2の水素バリア膜中に密着を促進させる金属原子が含まれており、金属原子は拡散係数が大きいので、第1の水素バリア膜と第2の水素バリア膜との密着性を向上させることができる。すなわち、第1の水素バリア膜と第2の水素バリア膜とは、金属原子の相互拡散によって密着する。このため、第1の水素バリア膜と第2の水素バリア膜とが接続されている界面を通じて容量絶縁膜に水素が拡散することを抑制できるので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化をさらに低減させることができる。

第2の半導体装置の製造方法において、金属原子は、Ti又はTaであることが好ましい。

このようにすると、第1の水素バリア膜及び第2の水素バリア膜を比較的に容易なプロセスで形成することができると共に、Ti又はTaは拡散係数が大きいので、第1の水素バリア膜と第2の水素バリア膜との密着性を向上させることができる。

また、前記の課題を解決するために、本発明に係る第3の半導体装置の製造方法は、第1の水素バリア膜を形成する工程と、第1の水素バリア膜の上に容量素子を形成する工程と、第1の水素バリア膜における容量素子の周縁部において露出している表面を酸化する工程と、容量素子を覆うと共に酸化された表面と接するように、酸素を含む第2の水素バリア膜を形成する工程とを備えることを特徴とする。

第3の半導体装置の製造方法によると、第1の水素バリア膜において酸化させた表面層と、酸素原子を含む第2の水素バリア膜とを接続するため、酸素結合により、第1の水素バリア膜と第2の水素バリア膜との密着性を向上させることができるので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化を低減させることができる。

第3の半導体装置の製造方法において、容量素子を形成する工程と表面を酸化する工程との間に、第1の水素バリア膜における容量素子が形成されている領域の外側領域の少なくとも一部を露出させる工程をさらに備えていれば、第1の水素バリア膜と容量素子との間に他の層が介在している場合であっても、第1の水素バリア膜と第2の水素バリア膜とを確実に接続できるので、第1の水素バリア膜と第2の水素バリア膜との密着性を確実に向上させることができる。

第3の半導体装置の製造方法において、表面を酸化する工程は、酸素雰囲気中において

急速加熱処理を施す工程を含むことが好ましい。

このようにすると、第1の水素バリア膜における表面のみを容易に酸化させることができると共に、第1の水素バリア膜における下地へ与える影響を抑制することができる。

第3の半導体装置の製造方法において、表面を酸化する工程は、表面を酸素プラズマに暴露する工程を含むことが好ましい。

このようにすると、低温での酸化を行なうので、第1の水素バリア膜における表面のみをさらに容易に酸化させることができると共に、第1の水素バリア膜における下地へ与える影響をさらに抑制することができる。

また、前記の課題を解決するために、本発明に係る第4の半導体装置の製造方法は、第1の水素バリア膜を形成する工程と、第1の水素バリア膜の上に容量素子を形成する工程と、第1の水素バリア膜における容量素子の周縁部において露出している表面を窒化する工程と、容量素子を覆うと共に窒化された表面と接するように、窒素を含む第2の水素バリア膜を形成する工程とを備えることが好ましい。

第4の半導体装置の製造方法によると、第1の水素バリア膜において窒化させた表面層と、窒素原子を含む第2の水素バリア膜とを接続するため、窒素結合により、第1の水素バリア膜と第2の水素バリア膜との密着性を向上させることができるので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化を低減させることができる。

第4の半導体装置の製造方法において、容量素子を形成する工程と表面を窒化する工程との間に、第1の水素バリア膜における容量素子が形成されている領域の外側領域の少なくとも一部を露出させる工程をさらに備えていれば、第1の水素バリア膜と容量素子との間に他の層が介在している場合であっても、第1の水素バリア膜と第2の水素バリア膜とを確実に接続できるので、第1の水素バリア膜と第2の水素バリア膜との密着性を確実に向上させることができる。

第4の半導体装置の製造方法において、表面を窒化する工程は、窒素雰囲気中において急速加熱処理を施す工程を含むことが好ましい。

このようにすると、第1の水素バリア膜における表面のみを容易に窒化させることができると共に、第1の水素バリア膜における下地へ与える影響を抑制することができる。

第4の半導体装置の製造方法において、表面を窒化する工程は、表面を窒素プラズマに暴露する工程を含むことが好ましい。

このようにすると、低温での窒化を行なうので、第1の水素バリア膜における表面のみ

をさらに容易に窒化させることができると共に、第1の水素バリア膜における下地へ与える影響をさらに抑制することができる。

また、前記の課題を解決するために、本発明に係る第5の半導体装置の製造方法は、第1の水素バリア膜を形成する工程と、第1の水素バリア膜の上に容量素子を形成する工程と、第1の水素バリア膜における容量素子の周縁部において露出している部分に密着層を形成する工程と、容量素子を覆うと共に密着層と接するように第2の水素バリア膜を形成する工程とを備えることを特徴とする。

第5の半導体装置の製造方法によると、第1の水素バリア膜と第2の水素バリア膜との間に密着層を形成していることにより、第1の水素バリア膜と第2の水素バリア膜との密着性を向上させることができるので、第1の水素バリア膜及び第2の水素バリア膜に用いる材料の選択の幅が制限されることなく、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化を低減させることができる。

第5の半導体装置の製造方法において、容量素子を形成する工程と密着層を形成する工程との間に、第1の水素バリア膜における容量素子が形成されている領域の外側領域の少なくとも一部を露出させる工程をさらに備えていれば、第1の水素バリア膜と容量素子との間に他の層が介在している場合であっても、第1の水素バリア膜と第2の水素バリア膜とを確実に接続できるので、第1の水素バリア膜と第2の水素バリア膜との密着性を確実に向上させることができる。

第5の半導体装置の製造方法において、密着層は、水素を吸蔵することが好ましい。

このようにすると、密着層中に拡散される微量の水素を捕獲することができるので、容量絶縁膜に拡散される水素を効果的に抑制できるので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化をさらに低減させることができる。

第5の半導体装置の製造方法において、密着層は、 T_i 又は T_a を含むことが好ましい。

このようにすると、 T_i 又は T_a は拡散係数がとても大きいので、第1の水素バリア膜と第2の水素バリア膜との密着性をさらに向上させると共に、 T_i 又は T_a は水素を吸蔵する能力を有するため、容量絶縁膜に拡散される水素を効果的に抑制できるので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化を大幅に低減させることができる。

〔図面の説明〕

図1は、本発明の第1の実施形態の半導体装置の断面図である。

図2は、本発明の第1の実施形態における強誘電体膜の分極特性を示すグラフである。

図3は、本発明の第1の実施形態における水素バリア膜同士の接続部分を示すTEM断面図である。

図4は、本発明の第2の実施形態の半導体装置の断面図である。

図5は、本発明の第3の実施形態の半導体装置の断面図である。

図6(a)～(e)は、本発明の第4の実施形態の半導体装置の製造方法を示す断面図である。

図7(a)～(e)は、本発明の第5の実施形態の半導体装置の製造方法を示す断面図である。

図8(a)～(e)は、本発明の第6の実施形態の半導体装置の製造方法を示す断面図である。

図9(a)～(e)は、本発明の第7の実施形態の半導体装置の製造方法を示す断面図である。

図10(a)～(e)は、本発明の第8の実施形態の半導体装置の製造方法を示す断面図である。

図11は、従来の強誘電体キャパシタを有する半導体装置の断面図である。

図12は、本発明者らが実験の対象に用いた半導体装置の断面図である。

図13は、本発明者らが実験の対象に用いた半導体装置における強誘電体膜の分極特性を示すグラフである。

図14は、本発明者らが実験の対象に用いた半導体装置における水素バリア膜同士の接続部分を示すTEM断面図である。

図15(a)は、水素バリア膜同士の接続部分の分析に用いた実験サンプルのTEM断面図であり、図15(b)は、水素バリア膜同士の接続部分の実験サンプルに対するEELS分析結果を説明するためのTEM断面図、及び損失エネルギーと密度との関係図である。

[発明の実施の形態]

(第1の実施形態)

以下、本発明の第1の実施形態に係る半導体装置について、図1～図3を参照しながら説明する。図1は、第1の実施形態に係る半導体装置の断面構造を示している。

図1に示すように、メモリセルトランジスタ（図示は省略している）が形成されている半導体基板100の上には、例えばボロン、リン等が添加されたシリコン酸化膜であるBPSG膜よりなる第1の層間絶縁膜101が形成されており、該第1の層間絶縁膜101の上にはシリコン窒化膜よりなる第1の水素バリア膜102が形成されている。該第1の水素バリア膜102の上には窒化チタンアルミニウム膜よりなる導電性の第2の水素バリア膜103が形成されている。該第2の水素バリア膜103の上には下部電極104が形成されている。下部電極104は、白金膜よりなる上層膜と、バリア膜として酸化イリジウム膜、イリジウム膜、窒化チタンアルミニウム膜又は窒化チタン膜よりなる下層膜とから構成されている。尚、下部電極104は、白金膜よりなる上層膜と、バリア膜として酸化イリジウム膜、イリジウム膜、窒化チタンアルミニウム膜又は窒化チタン膜のうちの2以上の膜が積層された積層膜よりなる下層膜とから構成してもよい。

下部電極104の上には、強誘電体膜として例えばSBT（SrTaBiO）膜よりなる容量絶縁膜105が形成されており、該容量絶縁膜105の上には、白金膜よりなる上部電極106が形成されている。このように、下部電極104、容量絶縁膜105及び上部電極106より、強誘電体キャパシタ（容量素子）が形成されている。

第1の水素バリア膜102の上には、第2の水素バリア膜103の側面及び強誘電体キャパシタを覆うように、該強誘電体キャパシタの段差を緩和するためのオゾンTEOS膜よりなる第2の層間絶縁膜107が形成されている。第1の層間絶縁膜101の上に、第1の水素バリア膜102の側面及び第2の層間絶縁膜107を覆うように窒化チタンアルミニウム膜よりなる第3の水素バリア膜108が形成されている。

第1の水素バリア膜102及び第1の層間絶縁膜101を貫通して延びるようにW膜よりなるコンタクトプラグ109が形成されており、該コンタクトプラグ109はヒ素等が注入された半導体基板100と強誘電体キャパシタの下部電極104とを第2の水素バリア膜103を介して接続している。第1の層間絶縁膜101の上には、第3の水素バリア膜108を覆うように第3の層間絶縁膜110が形成されている。尚、第3の層間絶縁膜110の上には、通常、配線が形成される。

このように、図1に示した強誘電体キャパシタは第1の水素バリア膜102、第2の水素バリア膜103及び第3の水素バリア膜108により周囲が完全に被覆された構造を有している。

ここで、第1の実施形態に係る半導体装置の特徴は、第1の水素バリア膜102がシリ

コン窒化膜よりなると共に、第3の水素バリア膜108が窒化チタンアルミニウム膜よりなり、第1の水素バリア膜102及び第3の水素バリア膜108には、互いの膜を密着させる同一種の原子、ここでは窒素原子が共通に含まれていることである。

図2は、図1に示す強誘電体キャパシタに対して、水素濃度4%及び100%の各雰囲気中において、400℃で10分間の熱処理を行なった場合の強誘電体膜よりなる容量絶縁膜105の分極特性を示しており、前述の従来例における図13に示したデータが合わせて示されている。

図2から明らかなように、前述の従来例の場合と比較して、水素濃度4%及び100%の各雰囲気中における熱処理の場合には、強誘電体膜よりなる容量絶縁膜105の分極特性の劣化が大幅に抑制されており、水素濃度が100%の雰囲気中における熱処理の場合に示されているように、特に強い還元性雰囲気中において熱処理を施した場合に、強誘電体膜よりなる容量絶縁膜105の分極特性の劣化を抑制する度合いが大きいことが分かる。

図3は、図2に示した水素濃度100%の雰囲気中において、400℃で10分間の熱処理を行なった場合について、第1の水素バリア膜102と第3の水素バリア膜108との接続部分のTEM断面図を示しているが、図3から明らかなように、シリコン窒化膜よりなる第1の水素バリア膜102と窒化チタンアルミニウム膜よりなる第3の水素バリア膜108との接続部分3Aには、前述の図12に示したような隙間は観察されなかった。

ここで、第1の水素バリア膜102と第3の水素バリア膜108とが接する部分では、第1の水素バリア膜102と第3の水素バリア膜108とが窒素の共有結合によって結合している。つまり、窒素原子は、第1の水素バリア膜102と第2の水素バリア膜108とに架かるように結合手を持ち、架橋の役割を担っている。したがって、第1の水素バリア膜102と第2の水素バリア膜108とが接する境界領域において、窒素原子からなる層が形成されて密着領域となるので、隙間が形成されず、また、第1の水素バリア膜102と第3の水素バリア膜108とが接続する部分において、水素の拡散パスの役割を有する酸化シリコン膜が形成されることがない。

このようにして、本件発明者らは、強誘電体膜の分極特性が劣化する原因は、水素バリア膜同士が接続される界面の状態に大きく依存することにあることを改めて確認し、互い

に接続される部分を有する水素バリア膜のそれぞれに対して密着を促進させる同一種の原子を共通に含ませることにより、水素バリア膜同士の密着性を向上させれば、強誘電体膜の分極特性の劣化を抑制できるという効果を得たのである。

以上のように、第1の実施形態によると、第1の水素バリア膜102及び第3の水素バリア膜108中に、互いの膜を密着させる同一種の原子が共通に含まれていることにより、第1の水素バリア膜と第2の水素バリア膜とが、互いに単に物理的に接続しているのではなく、同一種の原子の化学結合によって接続されるので、第1の水素バリア膜102と第3の水素バリア膜108との密着性が向上する。このため、第1の水素バリア膜102と第3の水素バリア膜108とが接続されている界面を通じて容量絶縁膜105に水素が拡散することを抑制できるので、強誘電体膜よりなる容量絶縁膜105の分極特性の劣化を低減させることができる。その結果、信頼性に優れた強誘電体メモリを実現することができる。

また、図1に示した強誘電体キャパシタは、下部電極104が容量規定口となる構造であったが、これに代えて、上部電極106が容量規定口となる構造であってもよい。

また、第1の実施形態において、容量絶縁膜105は強誘電体膜としてSBT膜より構成されている場合であったが、これに代えて、還元され得る材料である例えばPZT系よりなる膜、BLT系よりなる膜、BST系よりなる膜、又はタンタルオキサイド膜等よりなる場合であっても同様の効果を得ることができる。また、容量絶縁膜105は強誘電体膜よりなる場合であったが、容量絶縁膜105が高誘電率膜よりなる場合であっても、同様の効果が得られることはいうまでもない。

また、第1の実施形態において、第1の水素バリア膜102及び第3の水素バリア膜108中に、互いの膜を密着させる同一種の原子として窒素原子を共通に含ませた場合について説明したが、第1の水素バリア膜102にシリコン酸窒化膜を用いると共に、第3の水素バリア膜108に酸化チタンアルミニウム膜又は酸化アルミニウム膜等を用いて、第1の水素バリア膜102及び第3の水素バリア膜108中に、互いの膜を密着させる原子として酸素原子を共通に含ませることにより、密着させる原子が窒素原子である場合と同様に、第1の水素バリア膜102と第3の水素バリア膜108との密着性を向上させることができる。このように、第1の水素バリア膜102及び第3の水素バリア膜108に窒素原子又は酸素原子を共通に含ませることは、熱処理、プラズマ処理、反応性スパッタ及びCVD等において、窒化物又は酸化物の形成が容易になるので、半導体プロセスにおけ

る自由度を高めることができる。

尚、第1の実施形態において、第1の水素バリア膜102にシリコン酸窒化膜を用い、第3の水素バリア膜108に酸化チタンアルミニウム膜又は酸化アルミニウム膜等を用いた場合に限らず、水素バリア膜として機能し、酸素原子を共通に含むものであればよい。

また、第1の水素バリア膜102及び第3の水素バリア膜108は、同じ材料よりなる膜としてもよい。これにより、第1の水素バリア膜102と第3の水素バリア108との密着性が向上すると共に、後工程における熱処理による熱膨張、熱収縮又はストレス変化の影響を受けることがなくなるため、第1の水素バリア膜102と第3の水素バリア膜108とが接続されている部分が熱的に安定するので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化をさらに低減させることができる。

(第2の実施形態)

以下、本発明の第2の実施形態に係る半導体装置について図4を参照しながら説明する。図4は、第2の実施形態に係る半導体装置の断面構造を示している。

図4に示すように、メモリセルトランジスタ（図示は省略している）が形成されている半導体基板200の上には、例えばボロン、リン等が添加されたシリコン酸化膜であるBPSG膜よりなる第1の層間絶縁膜201が形成されており、該第1の層間絶縁膜201の上には酸化チタンアルミニウム膜よりなる第1の水素バリア膜202が形成されている。該第1の水素バリア膜202の上には窒化チタンアルミニウム膜よりなる導電性の第2の水素バリア膜203が形成されている。該第2の水素バリア膜203の上には下部電極204が形成されている。下部電極204は、白金膜よりなる上層膜と、バリア膜として酸化イリジウム膜、イリジウム膜、窒化チタンアルミニウム膜又は窒化チタン膜よりなる下層膜とから構成されている。尚、下部電極204は、白金膜よりなる上層膜と、バリア膜として酸化イリジウム膜、イリジウム膜、窒化チタンアルミニウム膜又は窒化チタン膜のうちの2以上の膜が積層された積層膜よりなる下層膜とから構成してもよい。

下部電極204の上には、強誘電体膜として例えばSBT（ SrTaBiO ）膜よりなる容量絶縁膜205が形成されており、該容量絶縁膜205の上には、白金膜よりなる上部電極206が形成されている。このように、下部電極204、容量絶縁膜205及び上部電極206より、強誘電体キャパシタ（容量素子）が形成されている。

第1の水素バリア膜202の上には、第2の水素バリア膜203の側面及び強誘電体キャパシタを覆うように、該強誘電体キャパシタの段差を緩和するためのオゾンTEOS膜

よりなる第2の層間絶縁膜207が形成されている。第1の層間絶縁膜201の上に、第1の水素バリア膜202の側面及び第2の層間絶縁膜207を覆うように窒化タンタル膜よりなる第3の水素バリア膜208が形成されている。

第1の水素バリア膜202及び第1の層間絶縁膜201を貫通して延びるようにW膜よりなるコンタクトプラグ209が形成されており、該コンタクトプラグ209はヒ素等が注入された半導体基板200と強誘電体キャパシタの下部電極204とを第2の水素バリア膜203を介して接続している。第1の層間絶縁膜201の上には、第3の水素バリア膜208を覆うように第3の層間絶縁膜210が形成されている。尚、第3の層間絶縁膜210の上には、通常、配線が形成される。

このように、図4に示した強誘電体キャパシタは第1の水素バリア膜202、第2の水素バリア膜203及び第3の水素バリア膜208により周囲が完全に被覆された構造を有している。

ここで、第2の実施形態に係る半導体装置の特徴は、第1の水素バリア膜202が酸化チタンアルミニウム膜よりなると共に、第3の水素バリア膜208が窒化タンタル膜よりなり、相互拡散によって互いの膜を密着させる金属原子である例えばチタン、アルミニウム及びタンタルが含まれていることである。すなわち、第1の水素バリア膜202及び第3の水素バリア膜中に、前述のような金属原子を共通に含ませることにより、金属原子の相互拡散作用によって、第1の水素バリア膜202と第3の水素バリア膜208との密着性を向上させることができる。また、チタン又はタンタルは拡散係数が高いため、相互拡散作用が大きくなるので、第1の水素バリア膜202と第3の水素バリア膜208との密着性がさらに向上する。

以上のように、第2の実施形態によると、第1の水素バリア膜202及び第3の水素バリア膜208中に含まれる金属原子の存在により、相互拡散作用が生じて第1の水素バリア膜202と第3の水素バリア膜208との密着性が向上するため、第1の水素バリア膜202と第3の水素バリア膜208とが接続されている界面を通じて容量絶縁膜205に水素が拡散することを抑制できるので、強誘電体膜よりなる容量絶縁膜205の分極特性の劣化を低減させることができる。その結果、信頼性に優れた強誘電体メモリを実現することができる。また、第1の水素バリア膜202及び第3の水素バリア膜208中に互いの膜を密着させる原子として、半導体プロセスにおいて幅広く利用されている金属原子を利用することができ、なかでもチタン及びタンタルを用いれば、拡散係数が高くなって相

互拡散作用が大きくなるという点で利点が多い。

尚、第2の実施形態において、第1の水素バリア膜202と第3の水素バリア膜208とは、互いに同一種の金属原子を含んでもよい。例えば、第1の水素バリア膜202が酸化チタンアルミニウムよりなり、第3の水素バリア膜208が窒化チタンアルミニウムからなる構成であってもよい。この場合、同一種の金属原子であるチタンの金属結合によって、第1の水素バリア膜202と第3の水素バリア膜208とが接合するので、互いの膜の密着性はより向上する。

また、図4に示した強誘電体キャパシタは、下部電極204が容量規定口となる構造であったが、これに代えて、上部電極206が容量規定口となる構造であってもよい。

また、第2の実施形態において、容量絶縁膜205は強誘電体膜としてS B T膜より構成されている場合であったが、これに代えて、還元され得る材料である例えばP Z T系よりなる膜、B L T系よりなる膜、B S T系よりなる膜、又はタンタルオキサイド膜等よりなる場合であっても同様の効果を得ることができる。また、容量絶縁膜205は強誘電体膜よりなる場合であったが、容量絶縁膜205が高誘電率膜よりなる場合であっても、同様の効果が得られることはいうまでもない。

また、第1の水素バリア膜202及び第3の水素バリア膜208は、同じ材料よりなる膜としてもよい。これにより、第1の水素バリア膜202と第3の水素バリア208との密着性が向上すると共に、後工程における熱処理による熱膨張、熱収縮又はストレス変化の影響を受けることがなくなるため、第1の水素バリア膜202と第3の水素バリア膜208とが接続されている部分が熱的に安定するので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化をさらに低減させることができる。

（第3の実施形態）

以下、本発明の第3の実施形態に係る半導体装置について図5を参照しながら説明する。図5は第3の実施形態に係る半導体装置の断面構造を示している。

図5に示すように、メモリセルトランジスタ（図示は省略している）が形成されている半導体基板300上には、例えばボロン、リン等が添加されたシリコン酸化膜であるB P S G膜よりなる第1の層間絶縁膜301が形成されており、該第1の層間絶縁膜301の上にはシリコン窒化膜よりなる第1の水素バリア膜302が形成されている。該第1の水素バリア膜302の上には窒化チタンアルミニウム膜よりなる導電性の第2の水素バリア

膜303が形成されている。該第2の水素バリア膜303の上には下部電極304が形成されている。下部電極304は、白金膜よりなる上層膜と、バリア膜として酸化イリジウム膜、イリジウム膜、窒化チタンアルミニウム膜又は窒化チタン膜よりなる下層膜とから構成されている。尚、下部電極304は、白金膜よりなる上層膜と、バリア膜として酸化イリジウム膜、イリジウム膜、窒化チタンアルミニウム膜又は窒化チタン膜のうちの2以上の膜が積層された積層膜よりなる下層膜とから構成してもよい。

下部電極304の上には、強誘電体膜として例えばSBT (SrTaBiO) 膜よりなる容量絶縁膜305が形成されており、該容量絶縁膜305の上には、白金膜よりなる上部電極306が形成されている。このように、下部電極304、容量絶縁膜305及び上部電極306より、強誘電体キャパシタ（容量素子）が形成されている。

第1の水素バリア膜302の上には、第2の水素バリア膜303の側面及び強誘電体キャパシタを覆うように、該強誘電体キャパシタの段差を緩和するためのオゾンTEOS膜よりなる第2の層間絶縁膜307が形成されている。第1の層間絶縁膜301の上には、第1の水素バリア膜302の側面及び第2の層間絶縁膜307を覆うように膜厚が1～10nmであるチタン膜よりなる密着層308が形成されている。該密着層308の上には窒化チタンアルミニウム膜よりなる第3の水素バリア膜309が形成されている。このように、第1の水素バリア膜302と第3の水素バリア膜309とは密着層308を介して接続されている。

第1の水素バリア膜302及び第1の層間絶縁膜301を貫通して延びるようにW膜よりなるコンタクトプラグ310が形成されており、該コンタクトプラグ310はヒ素等が注入された半導体基板300と強誘電体キャパシタの下部電極304とを第2の水素バリア膜303を介して接続している。第1の層間絶縁膜301の上には、第3の水素バリア膜309を覆うように第3の層間絶縁膜311が形成されている。尚、第3の層間絶縁膜311の上には、通常、配線が形成される。

このように、図5に示した強誘電体キャパシタは第1の水素バリア膜302、第2の水素バリア膜303及び第3の水素バリア膜309により周囲が完全に被覆された構造を有している。

ここで、第3の実施形態に係る半導体装置の特徴は、第1の水素バリア膜302と第3の水素バリア膜309との間に密着層308を介在させることにより、第1の水素バリア膜302と第3の水素バリア膜309との密着性を向上させた点である。

以上のように、第3の実施形態によると、第1の水素バリア膜302と第3の水素バリア膜309との間に密着層308を介在させることにより、第1の水素バリア膜302と第3の水素バリア膜309との密着性を向上させることができるため、第1の水素バリア膜302及び第3の水素バリア膜309に用いる材料の選択の幅が制限されることなく、容量絶縁膜305に水素が拡散することを抑制できるので、強誘電体膜よりなる容量絶縁膜305の分極特性の劣化を低減させることができる。その結果、信頼性に優れた強誘電体メモリを実現することができる。

また、密着層308を通じて容量絶縁膜305に水素が拡散することを防止するために、密着層308中に遷移金属である3A、4A及び5A族を含ませて、これらの金属が有する水素を吸蔵する能力を利用すれば、密着層308を通じて容量絶縁膜305に水素が拡散することをさらに防止できるので、強誘電体膜よりなる容量絶縁膜305の分極特性の劣化をさらに低減させることができる。特に、遷移金属としてチタン又はタンタルを利用すれば、チタン又はタンタルは高い拡散係数を有するので、第1の水素バリア膜302と第3の水素バリア膜309とを相互に密着させる効果をさらに高めることができる。

尚、第3の実施形態において、第1の水素バリア膜302としてシリコン窒化膜を用い、第3の水素バリア膜309として窒化チタンアルミニウム膜を用いた場合について説明したが、これらに限定されるものではなく、水素バリア膜としてなる材料であればよい。

尚、第3の実施形態においては、第1の水素バリア膜302と第3の水素バリア膜309との間に密着層308を介在させるので、第1の水素バリア膜302と密着層308との間、及び第3の水素バリア膜309と密着層308との間に酸化シリコン膜は形成されていない。したがって、第1の水素バリア膜302と第3の水素バリア膜308との間を水素が浸入することはない。

また、図5に示した強誘電体キャパシタは、下部電極304が容量規定口となる構造であったが、これに代えて、上部電極306が容量規定口となる構造であってもよい。

また、第3の実施形態において、容量絶縁膜305は強誘電体膜としてSBT膜より構成されている場合であったが、これに代えて、還元され得る材料である例えばPZT系よりなる膜、BLT系よりなる膜、BST系よりなる膜、又はタンタルオキサイド膜等よりなる場合であっても同様の効果を得ることができる。また、容量絶縁膜105は強誘電体膜よりなる場合であったが、容量絶縁膜305が高誘電率膜よりなる場合であっても、同様の効果が得られることはいうまでもない。

(第4の実施形態)

以下、本発明の第4の実施形態に係る半導体装置の製造方法について図6(a)～図6(e)を参照しながら説明する。

図6(a)に示すように、メモリセルトランジスタ(図示は省略している)が形成されている半導体基板400上に例えばボロン及びリン等が添加された SiO_2 で示されるシリコン酸化膜であるBPSG膜よりなる第1の層間絶縁膜401を形成する。次に、プラズマCVD法により、該第1の層間絶縁膜401上にシリコン窒化膜よりなる第1の水素バリア膜402を形成する。尚、プラズマCVD法によってシリコン窒化膜よりなる第1の水素バリア膜402を形成する際、一般に、活性水素が多数発生するが、後述する強誘電体キャパシタが形成される前であるので、活性水素の影響は原理的に回避できる。

次に、図6(b)に示すように、第1の層間絶縁膜401及び第1の水素バリア膜402に、W膜又はポリシリコン膜よりなり、下端部がメモリセルトランジスタと接続されるコンタクトプラグ403を形成する。次に、第1の水素バリア膜402及びコンタクトプラグ403の上に、窒化チタンアルミニウム膜よりなる水素バリア層を堆積した後、該水素バリア層の上に、下から順にイリジウム膜及び酸化イリジウム膜が積層された積層体よりなる酸素バリア層を介して、強誘電体膜の結晶成長を促進する白金膜よりなる第1の導電膜を堆積する。この後、水素バリア層、酸素バリア層及び第1の導電膜をパターンングすることにより、コンタクトプラグ403の上端部と接続する第2の水素バリア膜404と下部電極405とを形成する。

次に、下部電極405の上に、下から順にSBT膜よりなる強誘電体膜及び白金膜よりなる第2の導電膜を成膜した後、強誘電体膜及び第2の導電膜をパターンングして容量絶縁膜406及び上部電極407を形成する。このようにして、下部電極405、容量絶縁膜406及び上部電極407よりなる強誘電体キャパシタ(容量素子)が形成され、コンタクトプラグ403は、第2の水素バリア膜404を介して、半導体基板400と強誘電体キャパシタの下部電極405とを電氣的に接続している。次に、第1の水素バリア膜402の上に、第2の水素バリア膜404の側面及び強誘電体キャパシタを覆うように、オゾンTEOS膜よりなると共に強誘電体キャパシタにおける段差を緩和する絶縁膜408を堆積する。尚、以上で述べた半導体装置の製造工程は一例であり、本実施形態はこれに限定されるものではない。

次に、図6(c)に示すように、絶縁膜408をパターンングすることにより、第1の

水素バリア膜402における強誘電体キャパシタの周縁部に存在している表面を露出させる（尚、ここで、パターニング後の絶縁膜408を絶縁膜408aと呼ぶと共に、表面が露出された第1の水素バリア膜402を第1の水素バリア膜402aと呼ぶ）。このように、第1の水素バリア膜402の表面における強誘電体キャパシタが形成されている領域の外側領域の少なくとも一部を露出させることにより、第1の水素バリア膜402と強誘電体キャパシタとの間に他の層が介在している場合であっても、第1の水素バリア膜402と後述する第3の水素バリア膜410とを確実に接続できるので、第1の水素バリア膜402と第3の水素バリア膜410との密着性を確実に向上させることができる。

また、図6（c）に示すように、第1の水素バリア膜402aにおいて露出された部分の表面には、表面層409が形成されている。すなわち、通常、ドライエッチング又はウェットエッチングによるパターニングを行なうので、ドライエッチングの際に用いたガスの残留物、ウェットエッチングの際に用いた薬液の残留物、これらのガス若しくは薬液と第1の水素バリア膜402との反応層、又はパターニングの際にマスクとして用いたレジストを除去する際のアッシング等によって生じる酸化層等が、表面層409として第1の水素バリア膜402において露出された部分の表面に形成される。

次に、図6（d）に示すように、フッ化水素酸を用いた洗浄により、第1の水素バリア膜402aにおける表面層409を除去する（尚、ここで、表面層409が除去された後の第1の水素バリア膜402を第1の水素バリア膜402bと呼ぶ）。このようにすると、フッ化水素酸の濃度及び洗浄時間を制御することにより、表面層のみを容易に除去することができる。

次に、図6（e）に示すように、表面層409が除去された後の第1の水素バリア膜402bの上に、絶縁膜408aの全体を覆うように、窒化チタンアルミニウム膜よりなる第3の水素バリア膜410を形成する。尚、図6（e）では、第1の水素バリア膜402b及び第3の水素バリア膜410がパターニングされた状態で示されているが、パターニングしなくてもかまわない。

以上のように、第4の実施形態によると、第1の水素バリア膜402と第3の水素バリア膜410との密着性を低減させる要因となる第1の水素バリア膜402の表面に形成される変質した表面層409を除去した後に、第1の水素バリア膜402と第3の水素バリア膜410とを接続するため、第1の水素バリア膜402と第3の水素バリア膜410との密着性を向上させることができるので、強誘電体膜よりなる容量絶縁膜406の分極特

性の劣化を低減させることができる。その結果、信頼性に優れた誘電体メモリを実現することができる。

尚、第4の実施形態において、第1の水素バリア膜402及び第3の水素の水素バリア膜410は、同一種の原子を含んでいればこれらに限られない。

また、第4の実施形態において、表面層409を除去する場合に、フッ化水素酸を薬液として用いてウェットエッチングを行なったが、アルゴンガス等の不活性ガスを用いたプラズマによるドライエッチングを行なってもよい。このようにすると、フッ化水素酸を薬液として用いるウェットエッチングによりダメージを受けやすい酸化アルミニウム膜等が第1の水素バリア膜402として用いられている場合であっても、第1の水素バリア膜402内に影響を与えることなく表面層409のみを除去することができる。さらに、フッ化水素酸を薬液として用いたウェットエッチングによっては化学的に除去することができない表面層409であっても、原子を弾き出すことによる物理的な方法で除去することが可能になる。

また、第4の実施形態において、例えば図6(e)に示した強誘電体キャパシタは、下部電極405が容量規定口となる構造であったが、これに代えて、上部電極407が容量規定口となる構造であってもよい。

また、第4の実施形態において、容量絶縁膜406は強誘電体膜としてSBT膜より構成されている場合であったが、これに代えて、還元され得る材料である例えばPZT系よりなる膜、BLT系よりなる膜、BST系よりなる膜、又はタンタルオキサイド膜等よりなる場合であっても同様の効果を得ることができる。また、容量絶縁膜406は強誘電体膜よりなる場合であったが、容量絶縁膜406が高誘電率膜よりなる場合であっても、同様の効果が得られることはいうまでもない。

(第5の実施形態)

以下、本発明の第5の実施形態に係る半導体装置の製造方法について図7(a)～図7(e)を参照しながら説明する。

図7(a)に示すように、メモリセルトランジスタ(図示は省略している)が形成されている半導体基板500上に例えばボロン及びリン等が添加された SiO_2 で示されるシリコン酸化膜であるBPSG膜よりなる第1の層間絶縁膜501を形成する。次に、プラズマCVD法により、該第1の層間絶縁膜501上にシリコン窒化膜よりなる第1の水素バリア膜502を形成する。尚、プラズマCVD法によってシリコン窒化膜よりなる第1

の水素バリア膜502を形成する際、一般に、活性水素が多数発生するが、後述する強誘電体キャパシタが形成される前であるので、活性水素の影響は原理的に回避できる。

次に、図7(b)に示すように、第1の層間絶縁膜501及び第1の水素バリア膜502に、W膜又はポリシリコン膜よりなり、下端部がメモリセルトランジスタと接続されるコンタクトプラグ503を形成する。次に、第1の水素バリア膜502及びコンタクトプラグ503の上に、窒化チタンアルミニウム膜よりなる水素バリア層を堆積した後、該水素バリア層の上に、下から順にイリジウム膜及び酸化イリジウム膜が積層された積層体よりなる酸素バリア層を介して、強誘電体膜の結晶成長を促進する白金膜よりなる第1の導電膜を堆積する。この後、水素バリア層、酸素バリア層及び第1の導電膜をパターニングすることにより、コンタクトプラグ503の上端部と接続する第2の水素バリア膜504と下部電極505とを形成する。

次に、下部電極505の上に、下から順にSBT膜よりなる強誘電体膜及び白金膜よりなる第2の導電膜を成膜した後、強誘電体膜及び第2の導電膜をパターニングして容量絶縁膜506及び上部電極507を形成する。このようにして、下部電極505、容量絶縁膜506及び上部電極507よりなる強誘電体キャパシタ（容量素子）が形成され、コンタクトプラグ503は、第2の水素バリア膜504を介して、半導体基板500と強誘電体キャパシタの下部電極505とを電氣的に接続している。次に、第1の水素バリア膜502の上に、第2の水素バリア膜504の側面及び強誘電体キャパシタを覆うように、オゾンTEOS膜よりなると共に強誘電体キャパシタにおける段差を緩和する絶縁膜508を堆積する。尚、以上で述べた半導体装置の製造工程は一例であり、本実施形態はこれに限定されるものではない。

次に、図7(c)に示すように、絶縁膜508をパターニングすることにより、第1の水素バリア膜502における強誘電体キャパシタの周縁部に存在している表面を露出させる（尚、ここで、パターニング後の絶縁膜508を絶縁膜508aと呼ぶ）。このように、第1の水素バリア膜502の表面における強誘電体キャパシタが形成されている領域の外側領域の少なくとも一部を露出させることにより、第1の水素バリア膜502と強誘電体キャパシタとの間に他の層が介在している場合であっても、第1の水素バリア膜502と後述する第3の水素バリア膜510とを確実に接続できるので、第1の水素バリア膜502と第3の水素バリア膜510との密着性を確実に向上させることができる。

次に、図7(d)に示すように、酸素雰囲気中での急速加熱処理を施すことにより、シ

リコン窒化膜よりなる第1の水素バリア膜502における表面に例えばSiOで示されるシリコン酸化層よりなる表面酸化層509を形成する（尚、ここで、表面酸化層509が形成された後の第1の水素バリア膜502を第1の水素バリア膜502aと呼ぶ）。また、酸素雰囲気中での急速加熱処理を400℃～800℃の範囲で施すことにより、第1の水素バリア膜502における下地となる部分にダメージを与えることなく、第1の水素バリア膜における表面のみを酸化させて表面酸化層509を形成することができる。

次に、図7（e）に示すように、第1の水素バリア膜502aの上に、絶縁膜508aの全体を覆うように、酸化アルミニウム膜よりなる第3の水素バリア膜510を形成する。尚、図7（e）では、第1の水素バリア膜502a及び第3の水素バリア膜510がパターニングされた状態が示されているが、パターニングしなくてもかまわない。

以上のように、第5の実施形態によると、第1の水素バリア膜502において酸化した表面酸化層509と、該表面酸化層509に対して密着性を促進させる酸素原子を含む第3の水素バリア膜510とを接続するため、第1の水素バリア膜502と第3の水素バリア膜510とが、互いに単に物理的に接続しているのではなく、同一種の原子の化学結合によって接続されるので、第1の水素バリア膜502と第3の水素バリア膜510との密着性を向上させることができるので、強誘電体膜よりなる容量絶縁膜506の分極特性の劣化を低減させることができる。また、この場合、第1の水素バリア膜502と第3の水素バリア膜510とが接続する部分において、酸素原子が架橋となり、第1の水素バリア膜502と第3の水素バリア膜510とを密着させているので、水素の拡散パスの役割を有する酸化膜が形成されることがない。

また、第5の実施形態において、第1の水素バリア膜502における表面を酸化して表面酸化層509を形成する際に、酸素雰囲気下での急速加熱処理を施したが、酸素プラズマに暴露させることによって表面酸化層509を形成してもよい。このようにすると、300℃～600℃の範囲の低温によって表面酸化層509を形成することができるので、第1の水素バリア膜502における下地となる部分へのダメージをより少なくすることができる。

また、第5の実施形態において、第1の水素バリア膜502における表面を酸化することにより表面酸化層509を形成し、該表面酸化層509と酸素原子を含む第2の水素バリア膜510とを接続して、第1の水素バリア膜502と第3の水素バリア膜510との密着性を高める場合について説明した。しかしながら、第1の水素バリア膜502として

例えば酸化チタンアルミニウム膜を用いてその表面を窒化することにより表面窒化層を形成し、該表面窒化層と窒素を含む例えば窒化チタンアルミニウム膜を用いた第3の水素バリア膜510とを接続する場合であっても、第3の水素バリア膜510に含まれる窒素原子が表面窒化層に対して密着性を促進する作用を有するので、同様に、第1の水素バリア膜502と第3の水素バリア膜510との密着性を高めることができる。

また、第5の実施形態において、例えば図7(e)に示した強誘電体キャパシタは、下部電極505が容量規定口となる構造であったが、これに代えて、上部電極507が容量規定口となる構造であってもよい。

また、第5の実施形態において、容量絶縁膜506は強誘電体膜としてSBT膜より構成されている場合であったが、これに代えて、還元され得る材料である例えばPZT系よりなる膜、BLT系よりなる膜、BST系よりなる膜、又はタンタルオキサイド膜等よりなる場合であっても同様の効果を得ることができる。また、容量絶縁膜506は強誘電体膜よりなる場合であったが、容量絶縁膜506が高誘電率膜よりなる場合であっても、同様の効果が得られることはいうまでもない。

(第6の実施形態)

以下、本発明の第6の実施形態に係る半導体装置の製造方法について図8(a)～図8(e)を参照しながら説明する。

図8(a)に示すように、メモリセルトランジスタ(図示は省略している)が形成されている半導体基板600上に例えばボロン及びリン等が添加された SiO_2 で示されるシリコン酸化膜であるBPSG膜よりなる第1の層間絶縁膜601を形成する。次に、プラズマCVD法により、該第1の層間絶縁膜601上にシリコン窒化膜よりなる第1の水素バリア膜602を形成する。尚、プラズマCVD法によってシリコン窒化膜よりなる第1の水素バリア膜602を形成する際、一般に、活性水素が多数発生するが、後述する強誘電体キャパシタが形成される前であるので、活性水素の影響は原理的に回避できる。

次に、図8(b)に示すように、第1の層間絶縁膜601及び第1の水素バリア膜602に、W膜又はポリシリコン膜よりなり、下端部がメモリセルトランジスタと接続されるコンタクトプラグ603を形成する。次に、第1の水素バリア膜602及びコンタクトプラグ603の上に、窒化チタンアルミニウム膜よりなる水素バリア層を堆積した後、該水素バリア層の上に、下から順にイリジウム膜及び酸化イリジウム膜が積層された積層体よりなる酸素バリア層を介して、強誘電体膜の結晶成長を促進する白金膜よりなる第1の導

電膜を堆積する。この後、水素バリア層、酸素バリア層及び第１の導電膜をパターニングすることにより、コンタクトプラグ６０３の上端部と接続する第２の水素バリア膜６０４と下部電極６０５とを形成する。

次に、下部電極６０５の上に、下から順にＳＢＴ膜よりなる強誘電体膜及び白金膜よりなる第２の導電膜を成膜した後、強誘電体膜及び第２の導電膜をパターニングして容量絶縁膜６０６及び上部電極６０７を形成する。このようにして、下部電極６０５、容量絶縁膜６０６及び上部電極６０７よりなる強誘電体キャパシタが形成され、コンタクトプラグ６０３は、第２の水素バリア膜６０４を介して、半導体基板６００と強誘電体キャパシタの下部電極６０５とを電氣的に接続している。次に、第１の水素バリア膜６０２の上に、第２の水素バリア膜６０４の側面及び強誘電体キャパシタを覆うように、オゾンＴＥＯＳ膜よりなると共に強誘電体キャパシタにおける段差を緩和する絶縁膜６０８を堆積する。尚、以上で述べた半導体装置の製造工程は一例であり、本実施形態はこれに限定されるものではない。

次に、図８（ｃ）に示すように、絶縁膜６０８をパターニングすることにより、第１の水素バリア膜６０２における強誘電体キャパシタの周縁部に存在している表面を露出させる（尚、ここで、パターニング後の絶縁膜６０８を絶縁膜６０８ａと呼ぶ）。このように、第１の水素バリア膜６０２の表面における強誘電体キャパシタが形成されている領域の外側領域の少なくとも一部を露出させることにより、第１の水素バリア膜６０２と強誘電体キャパシタとの間に他の層が介在している場合であっても、第１の水素バリア膜６０２と後述する第３の水素バリア膜６１０とを確実に接続できるので、第１の水素バリア膜６０２と第３の水素バリア膜６１０との密着性を確実に向上させることができる。

次に、図８（ｄ）に示すように、第１の水素バリア膜６０２の上に、絶縁膜６０８ａを覆うようにチタン膜よりなる密着層６０９を形成する。

次に、図８（ｅ）に示すように、密着層６０９の上に窒化チタンアルミニウム膜よりなる第３の水素バリア膜６１０を形成する。尚、図８（ｅ）では、第１の水素バリア膜６０２、密着層６０９及び第３の水素バリア膜６１０がパターニングされた状態で示されているが、パターニングしなくてもかまわない。

以上のように、第６の実施形態によると、第１の水素バリア膜６０２と第３の水素バリア膜６１０との間に密着層６０９を形成することにより、第１の水素バリア膜６０２と第３の水素バリア膜６１０との密着性を向上させることができるので、第１の水素バリア膜

602及び第3の水素バリア膜610に用いる材料の選択の幅が制限されることなく、強誘電体膜よりなる容量絶縁膜606の分極特性の劣化を低減させることができる。

また、密着層609を通じて容量絶縁膜606に水素が拡散することを防止するために、密着層609中に遷移金属である3A、4A及び5A族を含ませて、これらの金属が有する水素を吸蔵する能力を利用すれば、密着層609を通じて容量絶縁膜606に水素が拡散することをさらに防止できるので、強誘電体膜よりなる容量絶縁膜606の分極特性の劣化をさらに低減させることができる。特に、遷移金属としてチタン又はタンタルを利用すれば、チタン又はタンタルは高い拡散係数を有するので、密着層609と第1の水素バリア膜602及び第3の水素バリア膜610との間の相互拡散により、第1の水素バリア膜602と第3の水素バリア膜610とを相互に密着させる効果をさらに高めることができる。

尚、第6の実施形態において、第1の水素バリア膜602としてシリコン窒化膜を用い、第3の水素バリア膜610として窒化チタンアルミニウム膜を用いた場合について説明したが、これらに限定されるものではなく、水素バリア膜としてなる材料であればよい。

また、第6の実施形態において、例えば図8(e)に示した強誘電体キャパシタは、下部電極605が容量規定口となる構造であったが、これに代えて、上部電極607が容量規定口となる構造であってもよい。

また、第6の実施形態において、容量絶縁膜606は強誘電体膜としてSBT膜より構成されている場合であったが、これに代えて、還元され得る材料である例えばPZT系よりなる膜、BLT系よりなる膜、BST系よりなる膜、又はタンタルオキサイド膜等よりなる場合であっても同様の効果を得ることができる。また、容量絶縁膜606は強誘電体膜よりなる場合であったが、容量絶縁膜606が高誘電率膜よりなる場合であっても、同様の効果が得られることはいうまでもない。

(第7の実施形態)

以下、本発明の第7の実施形態に係る半導体装置の製造方法について図9(a)～図9(e)を参照しながら説明する。

図9(a)に示すように、メモリセルトランジスタ(図示は省略している)が形成されている半導体基板700上に例えばボロン及びリン等が添加されたSiO₂で示されるシリコン酸化膜であるBP SG膜よりなる第1の層間絶縁膜701を形成する。次に、プラズマCVD法により、該第1の層間絶縁膜701上にシリコン窒化膜よりなる第1の水素

バリア膜702を形成する。尚、プラズマCVD法によってシリコン窒化膜よりなる第1の水素バリア膜702を形成する際、一般に、活性水素が多数発生するが、後述する強誘電体キャパシタが形成される前であるので、活性水素の影響は原理的に回避できる。

次に、図9(b)に示すように、第1の層間絶縁膜701及び第1の水素バリア膜702に、W膜又はポリシリコン膜よりなり、下端部がメモリセルトランジスタと接続されるコンタクトプラグ703を形成する。次に、第1の水素バリア膜702及びコンタクトプラグ703の上に、窒化チタンアルミニウム膜よりなる水素バリア層を堆積した後、該水素バリア層の上に、下から順にイリジウム膜及び酸化イリジウム膜が積層された積層体よりなる酸素バリア層を介して、強誘電体膜の結晶成長を促進する白金膜よりなる第1の導電膜を堆積する。この後、水素バリア層、酸素バリア層及び第1の導電膜をパターニングすることにより、コンタクトプラグ703の上端部と接続する第2の水素バリア膜704と下部電極705とを形成する。

次に、下部電極705の上に、下から順にSBT膜よりなる強誘電体膜及び白金膜よりなる第2の導電膜を成膜した後、強誘電体膜及び第2の導電膜をパターニングして容量絶縁膜706及び上部電極707を形成する。このようにして、下部電極705、容量絶縁膜706及び上部電極707よりなる強誘電体キャパシタが形成され、コンタクトプラグ703は、第2の水素バリア膜704を介して、半導体基板700と強誘電体キャパシタの下部電極705とを電氣的に接続している。次に、第1の水素バリア膜702の上に、第2の水素バリア膜704の側面及び強誘電体キャパシタを覆うように、オゾンTEOS膜よりなると共に強誘電体キャパシタにおける段差を緩和する絶縁膜708を堆積する。尚、以上で述べた半導体装置の製造工程は一例であり、本実施形態はこれに限定されるものではない。

次に、図9(c)に示すように、絶縁膜708をパターニングすることにより、第1の水素バリア膜702における強誘電体キャパシタの周縁部に形成されている表面を露出させる(尚、ここで、パターニング後の絶縁膜708を絶縁膜708aと呼ぶ)。このように、第1の水素バリア膜702の表面における強誘電体キャパシタが形成されている領域の外側領域の少なくとも一部を露出させることにより、第1の水素バリア膜702と強誘電体キャパシタとの間に他の層が介在している場合であっても、第1の水素バリア膜702と後述する例えば窒化チタンアルミニウム膜からなる第3の水素バリア膜709とを確実に接続できるので、第1の水素バリア膜702と第3の水素バリア膜709との密着性

を確実に向上させることができる。

次に、図9（d）に示すように、第1の水素バリア膜702の露出した表面をアルゴン又は窒素等の不活性ガスを用いてドライエッチングすることにより、第1の水素バリア膜702と第3の水素バリア膜709とに共通に含まれる同一種の原子（本実施例では窒素原子）は、第1の水素バリア膜702に含まれる他の原子と結合状態にある手を解離するので、第1の水素バリア膜702の露出した表面の領域702aにおいて、未結合状態である結合の手（本実施例では窒素原子のボンディング）が増加する。

次に、図9（e）に示すように、スパッタ法により、第1の水素バリア膜702の表面における領域702aの部分を被覆するように、窒化チタンアルミニウム膜よりなる第3の水素バリア膜709を形成する。尚、図9（e）では、第1の水素バリア膜702及び第3の水素バリア膜709がパターンニングされた状態で示されているが、パターンニングしなくてもかまわない。

以上のように、第7の実施形態によると、第1の水素バリア膜702の露出している表面において、第1の水素バリア膜702と第3の水素バリア膜709とに共通に含まれる同一種の原子が、エッチングによって、第1の水素バリア702に含まれる他の原子と結合状態にある手を解離して、未結合状態である結合の手となるので、第1の水素バリア膜702と第3の水素バリア膜709とが、互いに単に物理的に接続しているのではなく、化学結合によって接続されるので、第1の水素バリア膜702と後に成膜する第3の水素バリア膜709との密着性を向上させることができる。したがって、強誘電体膜又は高誘電率膜よりなる容量絶縁膜706の分極特性の劣化を低減させることができる。また、この場合、第1の水素バリア膜702と第3の水素バリア膜709とが接続する部分において、水素の拡散パスの役割を有する酸化シリコン膜が形成されることがない。

尚、第7の実施形態において、第1の水素バリア膜702としてシリコン窒化膜を用い、第3の水素バリア膜709として窒化チタンアルミニウム膜を用いた場合について説明したが、これらに限定されるものではなく、水素バリア膜としてなる材料であればよい。

また、第7の実施形態において、例えば図9（e）に示した強誘電体キャパシタは、下部電極705が容量規定口となる構造であったが、これに代えて、上部電極707が容量規定口となる構造であってもよい。

また、第7の実施形態において、容量絶縁膜706は強誘電体膜としてS B T膜より構成されている場合であったが、これに代えて、還元され得る材料である例えばP Z T系よ

りなる膜、BLT系よりなる膜、BST系よりなる膜、又はタンタルオキサイド膜等よりなる場合であっても同様の効果を得ることができる。また、容量絶縁膜706は強誘電体膜よりなる場合であったが、容量絶縁膜706が高誘電率膜よりなる場合であっても、同様の効果が得られることはいうまでもない。

(第8の実施形態)

以下、本発明の第8の実施形態に係る半導体装置の製造方法について図10(a)～図10(e)を参照しながら説明する。

図10(a)に示すように、メモリセルトランジスタ(図示は省略している)が形成されている半導体基板800上に例えばボロン及びリン等が添加された SiO_2 で示されるシリコン酸化膜であるBPSG膜よりなる第1の層間絶縁膜801を形成する。次に、プラズマCVD法により、該第1の層間絶縁膜801上にシリコン窒化膜よりなる第1の水素バリア膜802を形成する。尚、プラズマCVD法によってシリコン窒化膜よりなる第1の水素バリア膜802を形成する際、一般に、活性水素が多数発生するが、後述する強誘電体キャパシタが形成される前であるので、活性水素の影響は原理的に回避できる。

次に、図10(b)に示すように、第1の層間絶縁膜801及び第1の水素バリア膜802に、W膜又はポリシリコン膜よりなり、下端部がメモリセルトランジスタと接続されるコンタクトプラグ803を形成する。次に、第1の水素バリア膜802及びコンタクトプラグ803の上に、窒化チタンアルミニウム膜よりなる水素バリア層を堆積した後、該水素バリア層の上に、下から順にイリジウム膜及び酸化イリジウム膜が積層された積層体よりなる酸素バリア層を介して、強誘電体膜の結晶成長を促進する白金膜よりなる第1の導電膜を堆積する。この後、水素バリア層、酸素バリア層及び第1の導電膜をパターンニングすることにより、コンタクトプラグ803の上端部と接続する第2の水素バリア膜804と下部電極805とを形成する。

次に、下部電極805の上に、下から順にSBT膜よりなる強誘電体膜及び白金膜よりなる第2の導電膜を成膜した後、強誘電体膜及び第2の導電膜をパターンニングして容量絶縁膜806及び上部電極807を形成する。このようにして、下部電極805、容量絶縁膜806及び上部電極807よりなる強誘電体キャパシタが形成され、コンタクトプラグ803は、第2の水素バリア膜804を介して、半導体基板800と強誘電体キャパシタの下部電極805とを電気的に接続している。次に、第1の水素バリア膜802の上に、第2の水素バリア膜804の側面及び強誘電体キャパシタを覆うように、オゾンTEOS

膜よりなると共に強誘電体キャパシタにおける段差を緩和する絶縁膜808を堆積する。尚、以上で述べた半導体装置の製造工程は一例であり、本実施形態はこれに限定されるものではない。

次に、図10(c)に示すように、絶縁膜808をパターニングすることにより、第1の水素バリア膜802における強誘電体キャパシタの周縁部に形成されている表面を露出させる(尚、ここで、パターニング後の絶縁膜808を絶縁膜808aと呼ぶ)。このように、第1の水素バリア膜802の表面における強誘電体キャパシタが形成されている領域の外側領域の少なくとも一部を露出させることにより、第1の水素バリア膜802と強誘電体キャパシタとの間に他の層が介在している場合であっても、第1の水素バリア膜802と後述する例えば窒化チタンアルミニウム膜からなる第3の水素バリア膜809とを確実に接続できるので、第1の水素バリア膜802と第3の水素バリア膜809との密着性を確実に向上させることができる。

次に、図10(d)及び(e)に示すように、第1の水素バリア膜802の上に、第1の水素バリア膜802と第3の水素バリア膜809に共通に含まれる同一種の原子(本実施例では窒素原子)を含んだ雰囲気中で、窒化チタンアルミニウム膜よりなる第3の水素バリア膜809を形成する。具体的な一例としては、窒素雰囲気中において、チタンアルミニウムよりなるターゲットからスパッタされたチタンアルミニウムを窒化させる反応性スパッタ法などが挙げられる。尚、図10(e)では、第1の水素バリア膜802、第3の水素バリア膜809がパターニングされた状態の最終形状を示しているが、パターニングしなくてもかまわない。

以上のように、第8の実施形態によると、第1の水素バリア膜802と第3の水素バリア膜809とに共通に含まれる原子を含んだ雰囲気中において、第3の水素バリア膜809を形成することにより、雰囲気中における第1の水素バリア膜802と第3の水素バリア膜809とに共通に含まれる原子が、第1の水素バリア膜802と第3の水素バリア膜809との接続される部分となる図10(d)に示す領域802aに取り込まれる。したがって、第1の水素バリア膜802と第3の水素バリア膜809とが、互いに単に物理的に接続しているのではなく、化学結合によって接続されるので、第1の水素バリア膜802と第3の水素バリア膜809との密着性を向上させることができるので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜806の分極特性の劣化を低減させることができる。また、この場合、第1の水素バリア膜802と第3の水素バリア膜809とが接続する部分

において、水素の拡散パスの役割を有する酸化シリコン膜が形成されることがない。

尚、第8の実施形態において、第1の水素バリア膜802と第3の水素バリア膜809とに窒素原子が含まれる場合に、窒素雰囲気中で反応性スパッタを行なう方法について説明したが、本発明はこれに限られず、水素バリア膜が共通に含む原子を含む雰囲気中で反応性スパッタを行えば良い。

また、第8の実施形態において、例えば図10(e)に示した強誘電体キャパシタは、下部電極805が容量規定口となる構造であったが、これに代えて、上部電極807が容量規定口となる構造であってもよい。

また、第8の実施形態において、容量絶縁膜806は強誘電体膜としてS B T膜より構成されている場合であったが、これに代えて、還元され得る材料である例えばP Z T系よりなる膜、B L T系よりなる膜、B S T系よりなる膜、又はタンタルオキサイド膜等よりなる場合であっても同様の効果を得ることができる。また、容量絶縁膜806は強誘電体膜よりなる場合であったが、容量絶縁膜806が高誘電率膜よりなる場合であっても、同様の効果が得られることはいうまでもない。

前述の各実施形態においては、強誘電体キャパシタの構造がスタック型構造である場合について説明したが、本発明におけるキャパシタの構造はこれに限定されるものではない。

なお、以上説明したように、本発明は、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化を低減させる半導体装置及びその製造方法に有用である。

[クレーム]

1. 第1の水素バリア膜と、

前記第1の水素バリア膜の上に形成された容量素子と、

前記容量素子を覆うように形成された第2の水素バリア膜とを備え、

前記第1の水素バリア膜及び前記第2の水素バリア膜は、前記第1の水素バリア膜と前記第2の水素バリア膜とを密着させる同一種の原子を少なくとも1つ含んでいることを特徴とする半導体装置。

2. 請求項1において、

前記第1の水素バリア膜と前記第2の水素バリア膜とは、前記同一種の原子が化学的に結合することによって、前記容量素子の周縁部において、密着していることを特徴とする半導体装置。

3. 請求項1において、

前記原子は、窒素原子又は酸素原子であることを特徴とする半導体装置。

4. 第1の水素バリア膜と、

前記第1の水素バリア膜の上に形成された容量素子と、

前記容量素子を覆うように形成された第2の水素バリア膜とを備え、

前記第1の水素バリア膜及び前記第2の水素バリア膜は、前記第1の水素バリア膜と前記第2の水素バリア膜とを相互拡散によって密着させる金属原子を含み、

前記第1の水素バリア膜と前記第2の水素バリア膜とは、前記金属原子が相互拡散することによって、前記容量素子の周縁部において、密着していることを特徴とする半導体装置。

5. 請求項4において、

前記金属原子は、Ti又はTaであることを特徴とする半導体装置。

6. 第1の水素バリア膜と、

前記第1の水素バリア膜の上に形成された容量素子と、

前記容量素子を覆うように形成された第2の水素バリア膜とを備え、

第1の水素バリア膜と第2の水素バリア膜とは、密着層を介して、前記容量素子の周縁部において互いに接続されていることを特徴とする半導体装置。

7. 請求項6において、

前記密着層は、水素を吸蔵することを特徴とする半導体装置。

8. 請求項6において、

前記密着層は、遷移金属を含むことを特徴とする半導体装置。

9. 請求項6において、

前記密着層は、Ti又はTaを含むことを特徴とする半導体装置。

10. 上面に酸化された領域を有する第1の水素バリア膜と、

前記第1の水素バリア膜の上に形成された容量素子と、

前記容量素子を覆うように形成された、酸素を含む第2の水素バリア膜とを備え、

前記第1の水素バリア膜と前記第2の水素バリア膜とは、前記容量素子の周縁部における前記酸化された領域を介して、酸素結合によって密着していることを特徴とする半導体装置。

11. 上面に窒化された領域を有する第1の水素バリア膜と、

前記第1の水素バリア膜の上に形成された容量素子と、

前記容量素子を覆うように形成された、窒素を含む第2の水素バリア膜とを備え、

前記第1の水素バリア膜と前記第2の水素バリア膜とは、前記容量素子の周縁部における前記窒化された領域を介して、窒素結合によって密着していることを特徴とする半導体装置。

12. 請求項1、4、6、10又は11において、

前記第1の水素バリア膜と前記第2の水素バリア膜とは、前記第1の水素バリア膜と前記第2の水素バリア膜との間に酸化シリコン膜を介在させないように密着していることを

特徴とする半導体装置。

13. 請求項1、4、6、10又は11において、

前記第1の水素バリア膜及び前記第2の水素バリア膜は、同じ材料よりなる膜であることを特徴とする半導体装置。

14. 請求項1、4、6、10又は11において、

前記容量素子は、前記第1の水素バリア膜の上に形成された下部電極と、前記下部電極の上に形成された容量絶縁膜と、前記容量絶縁膜の上に形成された上部電極とを備え、
前記容量絶縁膜は、強誘電体膜又は高誘電率膜よりなることを特徴とする半導体装置。

15. 請求項14において、

前記容量絶縁膜は、 $\text{SrBi}_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_9$ 、 $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ 、 $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$ 、 $(\text{Bi}_x\text{La}_{1-x})_4\text{Ti}_3\text{O}_{12}$ （但し、以上において、 x は、 $0 \leq x \leq 1$ の関係を満たす）、又は Ta_2O_5 よりなることを特徴とする半導体装置。

16. 第1の水素バリア膜を形成する工程と、

前記第1の水素バリア膜の上に容量素子を形成する工程と、

前記容量素子を覆うと共に前記容量素子の周縁部において前記第1の水素バリア膜と接するように第2の水素バリア膜を形成する工程とを備え、

前記第1の水素バリア膜及び前記第2の水素バリア膜は、前記第1の水素バリア膜と前記第2の水素バリア膜とを密着させる同一種の原子を少なくとも1つ含み、

前記第1の水素バリア膜と前記第2の水素バリア膜とは、前記同一種の原子が化学的に結合することによって密着していることを特徴とする半導体装置の製造方法。

17. 請求項16において、

前記容量素子を形成する工程と前記第2の水素バリア膜を形成する工程との間に、前記第1の水素バリア膜における前記容量素子の周縁部において露出している表面をエッチングする工程を含み、

前記エッチングは、前記第1の水素バリア膜と前記第2の水素バリア膜とに共通に含ま

れている前記原子の結合状態にある結合の手を解離して未結合の手を形成することを特徴とする半導体装置の製造方法。

18. 請求項17において、

前記エッチングは、不活性ガスを用いたドライエッチングであることを特徴とする半導体装置の製造方法。

19. 請求項16において、

前記第2の水素バリア膜は、前記第1の水素バリア膜と前記第2の水素バリア膜とに共通に含まれている前記原子を含む雰囲気中において、反応性スパッタ法により形成されることを特徴とする半導体装置の製造方法。

20. 請求項16において、

前記原子は、窒素原子又は酸素原子であることを特徴とする半導体装置の製造方法。

21. 請求項16において、

前記容量素子を形成する工程と前記第2の水素バリア膜を形成する工程との間に、前記第1の水素バリア膜における前記容量素子の周縁部において露出している表面層を除去する工程を備えることを特徴とする半導体装置の製造方法。

22. 請求項21において、

前記容量素子を形成する工程と前記表面層を除去する工程との間に、前記第1の水素バリア膜における前記容量素子が形成されている領域の外側領域の少なくとも一部を露出させる工程を備えることを特徴とする半導体装置の製造方法。

23. 請求項21において、

前記表面層を除去する工程は、フッ化水素酸により前記表面層を洗浄する工程を含むことを特徴とする半導体装置の製造方法。

24. 請求項21において、

前記表面層を除去する工程は、不活性ガスを用いたドライエッチングにより前記表面層を除去する工程を含むことを特徴とする半導体装置の製造方法。

25. 第1の水素バリア膜を形成する工程と、

前記第1の水素バリア膜の上に容量素子を形成する工程と、

前記容量素子を覆うと共に前記容量素子の周縁部において前記第1の水素バリア膜と接するように第2の水素バリア膜を形成する工程とを備え、

前記第1の水素バリア膜及び前記第2の水素バリア膜は、前記第1の水素バリア膜と前記第2の水素バリア膜とを相互拡散によって密着させる金属原子を含み、

前記第1の水素バリア膜と前記第2の水素バリア膜とは、前記金属原子が相互拡散することによって、前記容量素子の周縁部において密着していることを特徴とする半導体装置の製造方法。

26. 請求項25において、

前記金属原子は、Ti又はTaであることを特徴とする半導体装置の製造方法。

27. 第1の水素バリア膜を形成する工程と、

前記第1の水素バリア膜の上に容量素子を形成する工程と、

前記第1の水素バリア膜における前記容量素子の周縁部において露出している表面を酸化する工程と、

前記容量素子を覆うと共に前記酸化された表面と接するように、酸素を含む第2の水素バリア膜を形成する工程とを備えることを特徴とする半導体装置の製造方法。

28. 請求項27において、

前記容量素子を形成する工程と前記表面を酸化する工程との間に、前記第1の水素バリア膜における前記容量素子が形成されている領域の外側領域の少なくとも一部を露出させる工程を備えることを特徴とする半導体装置の製造方法。

29. 請求項27において、

前記表面を酸化する工程は、酸素雰囲気中において急速加熱処理を施す工程を含むこと

を特徴とする半導体装置の製造方法。

30. 請求項27において、

前記表面を酸化する工程は、前記表面を酸素プラズマに暴露する工程を含むことを特徴とする半導体装置の製造方法。

31. 第1の水素バリア膜を形成する工程と、

前記第1の水素バリア膜の上に容量素子を形成する工程と、

前記第1の水素バリア膜における前記容量素子の周縁部において露出している表面を窒化する工程と、

前記容量素子を覆うと共に前記窒化された表面と接するように、窒素を含む第2の水素バリア膜を形成する工程とを備えることを特徴とする半導体装置の製造方法。

32. 請求項31において、

前記容量素子を形成する工程と前記表面を窒化する工程との間に、前記第1の水素バリア膜における前記容量素子が形成されている領域の外側領域の少なくとも一部を露出させる工程を備えることを特徴とする半導体装置の製造方法。

33. 請求項31において、

前記表面を窒化する工程は、窒素雰囲気中において急速加熱処理を施す工程を含むことを特徴とする半導体装置の製造方法。

34. 請求項31において、

前記表面を窒化する工程は、前記表面を窒素プラズマに暴露する工程を含むことを特徴とする半導体装置の製造方法。

35. 第1の水素バリア膜を形成する工程と、

前記第1の水素バリア膜の上に容量素子を形成する工程と、

前記第1の水素バリア膜における前記容量素子の周縁部において露出している部分に密着層を形成する工程と、

前記容量素子を覆うと共に前記密着層と接するように第２の水素バリア膜を形成する工程とを備えることを特徴とする半導体装置の製造方法。

３６． 請求項３５において、

前記容量素子を形成する工程と前記密着層を形成する工程との間に、前記第１の水素バリア膜における前記容量素子が形成されている領域の外側領域の少なくとも一部を露出させる工程を備えることを特徴とする半導体装置の製造方法。

３７． 請求項３５において、

前記密着層は、水素を吸蔵することを特徴とする半導体装置の製造方法。

３８． 請求項３５において、

前記密着層は、Ｔｉ又はＴａを含むことを特徴とする半導体装置の製造方法。

[アブストラクト]

半導体装置は、第１の水素バリア膜と、第１の水素バリア膜の上に形成された容量素子と、容量素子を覆うように形成された第２の水素バリア膜とを備える。第１の水素バリア膜及び第２の水素バリア膜は、第１の水素バリア膜と第２の水素バリア膜とを密着させる同一種の原子を少なくとも１つ含んでいる。